

PLL部

本機のPLL回路は、IC203のプリスケラーとIC204のPLL用ICで構成されたデュアル・モデュラス・プリスケラー方式を採用し、VCOにて目的周波数を直接発振させている。

この方式は、通倍や混合をしていないため、PLLでの局部発振器が不要になり、回路構成が簡単でなおかつ、スプリアスが低減されるようになっている。

1. デュアル・モデュラス・プリスケラー

IC203は、VCOで発振された430MHz帯から450MHz帯の信号を $\frac{1}{64}$ 分周または $\frac{1}{65}$ 分周するデュアル・モデュラス・プリスケラーである。

また、IC204はバイナリー6ビットのスワローカウンター、バイナリー11ビットのプログラマブルカウンター、位相比較器、チャージポンプ、基準周波数用分周器などを内蔵したPLL周波数シンセサイザー用C-MOS LSIである。

基準周波数はX203(5.12MHz)をQ213で発振させ、IC204内部の基準分周器へPIN17より入力し、 $\frac{1}{1024}$ 分周して得た5KHzをPIN15からPIN8へ導き、位相比較器へ入力している。

IC203のプリスケラーは、IC204のスワローカウンターから入力されたコントロール信号により分周比が $\frac{1}{64}$ 、 $\frac{1}{65}$ に制御される。

Nデータは、MPUからバイナリー17ビットのシリアルデータとして、上位桁からIC204のDATA端子に入力され最後にストローブ信号(PLL端子)によりラッチされる。

なお、Nデータは目的周波数(送信時は送信周波数、受信時は第1局発周波数)を基準周波数で割った値になる。

バイナリー17ビットのNデータは、下位6ビットがスワローカウンターにプリセットされ、上位11ビットはプログラマブルカウンターにプリセットされる。

VCOのQ703から出力された信号は、Q220で緩衝増幅され、IC203のPIN2へ入力される。入力された信号は、分周してPIN5から出力され、IC204のPIN4より、スワローカウンターおよびプログラマブルカウンターに入力される。

スワローカウンターとプログラマブルカウンターでは、VCO周波数が $\frac{1}{65}$ 分周されるごとにAおよびNpが1ずつ引かれ、AがゼロになるとPSCがHIGHレベルとなり、プ

リスケラーを $\frac{1}{64}$ に切り換え、Npがゼロになるまで引いていく。従ってVCO周波数は、両者を加えた数だけ分周される。位相比較器では基準分周器からの出力(5KHz)とプログラマブルカウンターからの出力(5KHz)を位相検波してチャージポンプを通し、PIN1へ出力される。

○アンロック回路

PLLのロックがはずれたとき、IC204のPIN10がLOWになり、R251, C296の時定数回路を通して、MAINユニットのIC102AのPIN8にアンロック信号として入力している。IC102AのPIN9にはR+5が加えられているため、受信時、IC102AのPIN10はHIGHレベルとなり、アンロック信号はMPUに入力されない。

送信時は、IC102AのPIN9がLOWレベルになるため、IC102AのPIN8がLOWレベルになるとPIN10もLOWレベルになり、ロックがはずれたことをMPUに入力する。

2. ループフィルター/VCOユニット/変調回路

IC204のPIN11から出力された信号は、R248, R249, C294で構成されるラグリード型のループフィルターを通してPLLの特性を決定し、R250, C295の積分回路を介してD701のバリキャップを制御している。

VCOはQ702によるコルピッツ発振回路で、Q701およびD702により、誘導性リアクタンスを変化させて送受信の周波数シフトを行ない、バリキャップで周波数制御を行なっている。これにより広範囲の周波数にわたって、安定した発振を行なっている。

周波数シフトは、送信時にTS5が5Vになるので、D701がONとなり、C705, C706がL703, C703, C702, D701と並列に入り、発振周波数を低くする。

受信時は、TS5が0Vとなるので、Q701がOFFとなりD701は逆方向バイアスとなって容量を持つ。このため、D702はC706, C705と直列に入り、静電容量が小さくなり、発振周波数は送信時より高くなる。

また、Q703は緩衝増幅器で発振された信号を、外乱要素に対して安定なものにしている。

D703のアノード側に変調信号を加え、D703の端子間容量を変化させてFM変調を行なう。

デベーションの設定は、R226により変調信号のレベルを調整している。

